

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-199868

(43)Date of publication of application : 08.08.1990

(51)Int.Cl.

H01L 27/06
H01L 21/331
H01L 29/73

(21)Application number : 01-017681

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.01.1989

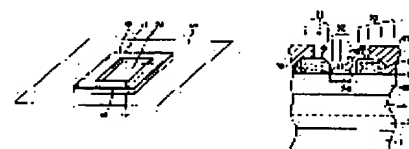
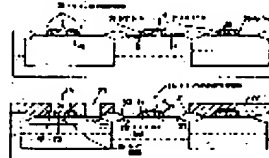
(72)Inventor : TSUBONE HITOSHI
KURODA SHUNICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce a capacitance between a base and an emitter due to a minimum emitter and to operate at a high speed by covering the surface and side face of the electrode material of an emitter electrode in contact with an emitter region through a contact hole opened at a hollow region of the electrode material with insulating films to insulate.

CONSTITUTION: An oxide film 12 is formed on an element forming region 7 of a bipolar transistor, an impurity-doped polysilicon and subsequently an Si₃N₄ film are grown, and a polysilicon electrode 19 covered on the surface with an Si₃N₄ film 18 then remains by etching. The polysilicon electrode 19 is so disposed in a frame shape as to surround a region 20 to become an emitter so that a hollow region is contained in a base region 10. Then, a PSG film 34 is grown on a substrate, and etched to form a sidewall oxide film 21 of the polysilicon electrode 19. The substrate is coated with a photoresist 22, a window is opened at a slightly wider region 25 than the region to become the emitter, and As ions are implanted. In this case, As is implanted to the base region 10 through the oxide film 12 at a part of an arrow 31 of the region 20, and an emitter layer 26 of minimum size can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-199868

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月8日

H 01 L 27/06
21/331
29/737735-5F
8526-5FH 01 L 27/06
29/72

3 2 1 B

審査請求 未請求 請求項の数 4 (全15頁)

⑮ 発明の名称 半導体集積回路装置及びその製造方法

⑯ 特 願 平1-17681

⑰ 出 願 平1(1989)1月30日

⑱ 発 明 者 坪 根 衡
 ⑱ 発 明 者 黒 田 俊 一
 ⑲ 出 願 人 沖電気工業株式会社
 ⑳ 代 理 人 弁理士 鈴木 敏明

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 東京都港区虎ノ門1丁目7番12号

明 細 書

1. 発明の名称

半導体集積回路装置及びその製造方法

2. 特許請求の範囲

(1) バイポーラトランジスタとMOSトランジスタとを同一基板上に形成してなるBiMOS構造において、

MOSトランジスタのゲート電極を形成する電極材料がバイポーラトランジスタのベース領域上に絶縁膜を介して配置され、

その電極材料を上方から見たとき、幾何学的に、閉じた枠形状をしており、且つその枠形状をした電極材料の少なくとも中抜き領域がベース領域内に収まり、

この枠形状をした電極材料の表面および側面とが絶縁膜で覆われ、

この絶縁膜で覆われた枠形状電極材料で囲まれた中抜き領域中にエミッタ領域を持ち、

上記電極材料をマスクとして該電極材料の中抜き領域に開けられたコンタクトホールを介して、

上記エミッタ領域と接触しているエミッタ電極が、上記電極材料の表面および側面を覆っている絶縁膜により該電極材料と絶縁されていることを特徴とする半導体集積回路装置。

(2) 少なくともバイポーラトランジスタ領域及びこの領域に形成されるバイポーラトランジスタと同一導電形のMOSトランジスタ領域を有する半導体基板を準備し、

上記バイポーラトランジスタ領域にコレクタ領域及びコレクタ領域内にベース領域を形成し、

このように形成した半導体基板表面に絶縁膜を形成した後、

上記MOSトランジスタ領域にゲート電極を形成すると同時に、上記ゲート電極を形成する電極材料で上記ベース領域上のエミッタ形成予定領域に閉じた枠形状のマスク体を形成し、

上記ゲート電極およびマスク体の表面および側面に絶縁膜を形成し、

少なくとも該絶縁膜を持つ枠形状マスク体に囲まれた中抜き領域に該マスク体をマスクとしてイ

オン注入することによりエミッタ領域を形成すると同時に、MOSトランジスタのソース・ドレイン形成予定領域に選択的にイオン注入することによりMOSトランジスタのソース・ドレイン領域を形成し、

その後上記マスク体をマスクとしてマスク体に囲まれた中抜き領域にエミッタコンタクトホールを形成する

ことを特徴とする半導体集積回路装置の製造方法。

(3)上記MOSトランジスタがLDD構造を持ち、上記ゲート電極および電極材料の側面に形成される絶縁膜がLDD構造に必要なサイドウォールであることを特徴とする請求項1に記載の半導体集積回路装置。

(4)上記ゲート電極およびマスク体の表面および側面に絶縁膜を形成する工程が、ゲート電極およびマスク体の表面に絶縁膜を形成する工程と、上記MOSトランジスタ領域にLDD構造に必要な低濃度ドレイン領域を形成する工程と、ゲート電極およびマスク体の側面にLDD構造に必要なサ

に開示されているBiCMOS構造の製造方法を参考にし、第2図を用いて従来技術の説明を行う。

先ず第2図(a)に示すように、P型シリコン基板(100)面、比抵抗 $100\Omega\cdot\text{cm}$ の101にN⁺埋込み層(5 μm 拡散でシート抵抗 $200\Omega/\square$ 、拡散の深さ $5\mu\text{m}$)102を形成し、比抵抗 $1.00\Omega\cdot\text{cm}$ 、厚さ $2.0\mu\text{m}$ のP型ポリシリコンのエピタキシャル層103を形成する。

しかる後、バイポーラトランジスタを形成するN領域104と、PMOSTランジスタを形成するN領域105を表面濃度 $2\times 10^{17}\text{ions}/\text{cm}^2$ 、拡散の深さ $2\mu\text{m}$ で同時に形成し、予め埋め込まれたN⁺埋込み層102と連続させる。

さらにLOCOS法でLOCOS酸化膜106をフィールド部に 7000\AA 形成する。

なお、LOCOS酸化膜106のない素子形成領域107、108、109はそれぞれバイポーラトランジスタ、NMOSTランジスタ、PMOSTランジスタの形成領域である。

イドウォールを形成する工程とを備えていることを特徴とする請求項2に記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、バイポーラトランジスタとMOSトランジスタとを同一基板上に形成する半導体集積回路装置及びその製造方法に関するものである。

[従来の技術]

バイポーラトランジスタとMOSトランジスタとを同一基板上に形成する技術は現在では広く知られている。中でも集積度を向上する目的でCMOSTランジスタをLDD(Lightly Doped Drain)構造とした技術が注目されている(例えば、文献1: $1.0\mu\text{m}$ n-Well CMOS/Bipolar Technology IEEE TRANSACTION ON ELECTRON DEVICE, VOL. ED-32 NO 2 Feb. '85、または、文献2: An Enhanced Fully Scaled $1.2\mu\text{m}$ CMOS Process For Analog Applications IEEE Journal of solid-state circuits, VOL. SC-21, NO2 April '86)。ここでは上記文献

次いで第2図(b)に示すように、上記基板表面にバイポーラNPNトランジスタのベースを形成するためのP型拡散層(ベース領域)110を表面濃度 $5\times 10^{17}\text{ions}/\text{cm}^2$ 、拡散の深さ $0.5\mu\text{m}$ で形成した後、MOSトランジスタのゲート絶縁膜となるゲート酸化膜111を 200\AA の厚さで形成する。このときバイポーラトランジスタの素子形成領域107にも同時にSiO₂膜112が同じ厚さ 200\AA で形成される。

続けて第2図(c)に示すように、減圧CVD法によりポリシリコン膜を 4000\AA の厚さで基板表面に成長させ、周知のフォトリソグラフィ・エッチング技術によりNMOSTランジスタのゲート電極113、PMOSTランジスタのゲート電極114を形成した後、セルフアライン技術を用いてNMOSTランジスタの低濃度N⁻ドレイン領域115(表面濃度 $4\times 10^{17}\text{ions}/\text{cm}^2$ 、拡散の深さ $0.2\mu\text{m}$)を形成する。

さらに第2図(d)に示すように、上記基板表面にP、O重量濃度15wt%のPSG膜154を4

000Å、CVD法で成長させる。

次いで第2図(e)に示すように、R1E(反応性イオンエッチング)法によりPSG膜154をエッチングし、LDD構造の形成に必要な側壁酸化膜(サイドウォール)116をポリシリコンゲート電極113, 114に形成する。このLDD構造及びその製造方法については、例えば、菅野卓雄監修、香山晋編「超高速MOSデバイス」培風館P40~41などに述べられているので詳しい説明はここでは省略する。

また第2図(f)に示すように、上記基板表面に厚さ1.0μmのネガタイプのフォトレジスト(ネガレジスト)117をコーティングし、周知のフォトリソグラフィ技術によりバイポーラトランジスタのエミッタ・コレクタとなる領域118, 119とNMOSトランジスタのソース・ドレインとなる領域120に窓開けを行い、イオン注入法を用いて加速電圧40KeV, Dose量 1.2×10^{14} ions/cm²のAsを注入する。このとき上記レジスト117をマスクにしてイオン注入を行うことに

平坦化)を行った後、バイポーラトランジスタのベースコンタクトホール132, エミッタコンタクトホール133, コレクタコンタクトホール134, NMOSトランジスタのソースコンタクトホール135, ドレインコンタクトホール136, PMOSトランジスタのソースコンタクトホール137, ドレインコンタクトホール138を同時に開孔し、バイポーラトランジスタのベース電極139, エミッタ電極140, コレクタ電極141及びNMOSトランジスタのソース電極142, ドレイン電極143, PMOSトランジスタのソース電極144, ドレイン電極145をAlで各々形成して、BiCMOS構造が完成する。

[発明が解決しようとする課題]

しかしながら、上記構成の半導体集積回路装置では次の理由から高速動作可能なバイポーラNPNトランジスタが形成できないという欠点があった。

一般にバイポーラNPNトランジスタの動作速度は電流利得帯域幅積(gain-band width)または

よりバイポーラNPNトランジスタのエミッタ121, コレクタ122とNMOSトランジスタのソース・ドレイン123, 124が各々同時に形成される。

また第2図(g)に示すように、上記基板上のレジスト117を除去した後にネガレジスト125を厚さ1.0μmでコーティングし、周知のフォトリソグラフィ技術によりバイポーラトランジスタのベースコンタクトの取出し領域126と、PMOSトランジスタのソース・ドレインとなる領域127に窓開けし、イオン注入法を用いBF₃⁺を加速電圧50KeV, Dose量 3×10^{14} ions/cm²を注入する。このレジストマスクによるイオン注入によりバイポーラトランジスタのベースコンタクト取出し領域128とPMOSトランジスタのソース・ドレイン129, 130が形成される。

最後に第2図(h)に示すように、レジスト125を除去した後に、層間絶縁膜としてのPSG膜131をCVD法でP₂O₅濃度20wt%, 厚さ6000Åで成長させガラスフロー(熱処理による

遮断周波数(cut-off frequency)、以下 f_T と表現する)で表され、 f_T が大きくなるほど高速動作が可能となる。この f_T は、

$$1/(2\pi f_T) = \tau_e + \tau_b + \tau_x + \tau_{ce} \dots \dots \textcircled{1}$$

で表される。詳しくは菅野卓雄監修、永田俊編「超高速デジタルデバイス1, 超高速バイポーラデバイス」培風館等の参考書を参照されたいが、上式①の右辺のそれぞれの項を小さくすることにより f_T が向上し高速動作が得られる。特に低電流領域では第1項が支配的になるとされ(同書45頁第9行)、この第1項 τ_e (エミッタ・ベース接合の充放電時定数)は

$$\tau_e = (kT/qI_e)C_{te} \dots \dots \textcircled{2}$$

ここで、

C_{te} : ベース・エミッタ間接合容量

k : ボルツマン定数(一定)

q : 電荷の量(一定)

T : 温度°K

I_e : エミッタ電流

で与えられる。温度が一定であればベース・エミ

タ間接合容量が小さくなるほど f_T 大つまり高速動作が可能となる。

ここで、特に低電流域を問題にしているのは、次の理由による。BiCMOS構造のLSI回路を構成しているゲート、例えば2入力NANDゲートの基本回路を例にとれば、その回路構成は第3図に示すようになっていて、即ち、入力段をCMOS部とし、出力段がバイポーラトランジスタにより次段ゲートの入力段であるCMOS部をドライブするようになっていて、このようにゲート出力がドライブするのは入力インピーダンスの高いCMOS部であるから、ファンアウトが大きくても、そのドライブ電流又はシンク電流は負荷容量を充放電する比較的小さな電流で足りる。

即ち、低電流域でバイポーラトランジスタが素早く立ち上がってくればよいわけである。このことは、第4図における左肩下がりになっている低電流域の f_T を上げてやることを意味し、これにより高速動作が可能になるから、上述したように低電流域が特に重要になるのである。

の、

$$\begin{aligned} C_T / C_B &\propto (\text{底面の面積}) / (\text{側面の面積}) \\ &= (2.8 \mu\text{m} \times 2.8 \mu\text{m}) / (0.3 \mu\text{m} \times 2.8 \mu\text{m} \times 4) \\ &\approx 2.3 \end{aligned} \quad \dots \dots \textcircled{4}$$

④式に示すように底面の面積の方が側面のそれに比して約2.3倍あり、底面の面積、即ち幾何学的にエミッタ領域121を真上から見たエミッタ面積に大きく依存することが分かる。

そこでトランジスタの動作速度すなわち f_T の向上のためには、できるだけエミッタ面積の小さいトランジスタを製作することが必要となる。

ところが従来技術では、できるだけエミッタ面積の小さなトランジスタを形成しようとしても、そのエミッタ面積はエミッタ中に形成されるコンタクトホール132の大きさに支配され、エミッタ面積の小さなトランジスタを形成することは困難であった。以下に、その理由を第6図を用いて説明する。

一般に半導体集積回路装置の製造において、その製造ラインの最小解像能力を集積回路パターン

ところで上記ベース・エミッタ間の接合容量 C_{TB} は第2図(h)に示すベース領域(P型)110とエミッタ領域(N型)121で与えられるものである。第11図に、このエミッタ領域121を含む一部分を拡大して立体的に示す。ここで、103はN-エピタキシャル層、110はP型ベース領域、そして121はこのベース領域110中に形成されたN型エミッタ領域である。このN型エミッタ領域121はP型のベース領域110と接する面において、PN接合を形成すると同時に接合容量 C_{TB} を持つ。

この C_{TB} をさらに成分に分けると、

$$\begin{aligned} C_{TB} &= C_{\text{底面の成分}} + C_{\text{側面の成分}} \\ &= C_T + C_B \quad \dots \dots \textcircled{5} \end{aligned}$$

即ち、図中に斜線で示す $C_{\text{側面の成分}}(C_B)$ 146と $C_{\text{底面の成分}}(C_T)$ 147に分割できる。

そしてこの C_{TB} は、例えばエミッタ面積が $2.8 \mu\text{m} \times 2.8 \mu\text{m}$ 、エミッタの深さが $0.3 \mu\text{m}$ のエミッタ領域を考えると、必ずしも算術的に計算した立体モデルの面積比には一致しないもの

のデザインルールと呼ぶことが多い。このことについて先ず説明する。仮にラインの最小解像能力を今 $1.2 \mu\text{m}$ と仮定すると、第2図(h)に示す各コンタクトホール132~138の最小幅、あるいは第2図(c)に示すポリシリコンゲート電極113、114等はこの最小解像寸法 $1.2 \mu\text{m}$ で形成することが可能となる。又、実際に集積回路の大きさをなるべく小さくする目的で(その方が1枚のシリコンウェハから得られる集積回路の数が増加し、結果としてコストが下がる。)、これらの寸法は最小寸法で設計されることが多く、その結果、第2図(h)に示すコンタクトホール132~138や、第2図(c)に示すポリシリコンゲート電極113、114は $1.2 \mu\text{m}$ で設計される。この場合、この集積回路のマスクパターンを $1.2 \mu\text{m}$ で設計することを $1.2 \mu\text{m}$ デザインルールと呼ぶ。

この $1.2 \mu\text{m}$ デザインルールの場合、最小解像パターンは $1.2 \mu\text{m} \times 1.2 \mu\text{m}$ であるので、第6図(a)に示すコンタクト148の大きさはそ

の最小解像パターンで設計される。そしてエミッタ149は、このコンタクト148より1通り大きくして、どの位置でもコンタクト148とエミッタ149の間の間隔(合わせ余裕)150が0.8 μ m以上あるように2.8 μ m \times 2.8 μ mの大きさで設計される。

従って、1.2 μ mデザインルールの場合1.2 μ m \times 1.2 μ mのエミッタ面積を持つバイポーラNPNトランジスタが形成されるのではなく、最小エミッタ面積は2.8 μ m \times 2.8 μ mと大きくなっている。このことが先程説明したように高速動作するトランジスタを形成することを難しくしていた。

従来、このエミッタ面積を小さくする方法として、1つには第6図(a)で示したエミッタ149とコンタクト148のマスク合わせによる合わせ余裕0.8 μ mを第6図(b)に示すように、例えば0.4 μ mとして2.0 μ m \times 2.0 μ mのエミッタ151を形成することも考えられる。しかし、このことは半導体の製造工程において、マス

ク1309などに開示されている。これは酸化膜によるセルフアライン技術のみによると、既に説明した第6図のようなコンタクトずれが生じる虞れがあるために、第2ポリシリコン工程を加えている。このためエミッタ用の窓開けを行う工程と、このエミッタ上に形成したポリシリコンのパターニングを行う工程とを新たに必要とする。このことを第7図を用いて特にBiCMOSのバイポーラNPNトランジスタのエミッタ形成の工程を詳細に説明する。

第7図(a)の工程は、第2図でいうと第2図(b)の段階であり、基板表面にバイポーラNPNトランジスタのベースを形成するためのP⁺拡散層(ベース領域)207を形成した後、MOSトランジスタのゲートとなるゲート酸化膜208を形成する。

次に、エミッタ位置決めのための窓開けをゲート酸化膜208に行う。この窓211の大きさが1.2 μ mである(第7図(b))。

続けて、CMOS部のゲート用のポリシリコン

ク合わせがずれてエミッタ151の位置に対してコンタクトの位置が、点線で示すあるべき位置152より右へ0.6 μ mずれて実線で示す位置153のようになった場合(このことは半導体の製造工程では周知の事実であり、一般に2枚のマスク間の合わせ余裕は、もっともこれはマスク合わせ装置の精度にもよるが、少なくとも0.8 μ m以上必要である。)コンタクトホール154はエミッタ151をはみ出してしまふ。従って、このあとの工程でメタル電極を、このコンタクトホール154に埋め込んだ場合、エミッタ・ベース接合が短絡し、合わせずれの発生量に応じたトランジスタ動作異常が起こり、このことが集積回路の収率を低下させていた。

また、もう一つの方法として、酸化膜及びポリシリコン膜を用いたセルフアライン技術(DOP OSトランジスタ形成技術)を用いて最小デザインルールの1.2 μ m \times 1.2 μ mのエミッタ面積を得る技術も、文献3:IEEE TRANSACTION ON ELECTRON DEVICES VOL ED34 NO6 June1987 P1304

膜によるゲート電極形成とは別に、第2のポリシリコン膜309を基板表面全面に成長させる(第7図(c))。

さらに、このポリシリコン膜309の上から、残部の酸化膜208をマスクとしたセルフアライン技術を利用して、エミッタ形成用のAsをイオン注入する(第7図(d))。

次いで、ベースコンタクトを取るためのパターニングをポリシリコン膜309上に行って、エミッタ領域を残して他の部分をエッチオフする。これによりポリシリコン電極251が形成される(第7図(e))。

そして、熱拡散によりポリシリコン膜309に止まっていたAsを窓211からベース領域207に押し出し、エミッタ領域214を形成する。このときポリシリコン電極251表面に酸化膜300が形成される(第7図(f))。

最後に酸化膜300にエミッタコンタクトホール222を開孔し、A ϕ のエミッタ電極227を窓222内のポリシリコン電極251上に形成し

てBiCMOS構造が完成する(第7図(g))。

上記したように、この従来例では、エミッタ領域214上にエミッタコンタクトホール222を開けず、ポリシリコン電極251上の酸化膜300に開ける。このため、コンタクトホール222の位置がずれても、ポリシリコン電極251上のホール222の位置が動くだけなので、ベースエミッタショートという第6図(b)のような不具合がなくなる。それゆえに、酸化膜208をマスクにしたセルフアライン技術を用いて1.2 μ m \times 1.2 μ mのエミッタ面積を得ることが可能となる。

しかし少なくともマスク数で2工程(第7図(b)及び第7図(e))も増加するため、これが半導体素子のコストアップを招いていた。

また、エミッタ電極227がポリシリコン電極251を介してエミッタと接触しているため、エミッタ電極227が直接エミッタと接触しているものに比して、接触抵抗、即ちエミッタ抵抗が大きくなる。エミッタ抵抗は②式の右辺の括弧内に

更に、この枠形状をした電極材料の表面および側面とが絶縁膜で覆われ、この絶縁膜で覆われた枠形状電極材料で囲まれる中抜き領域中にエミッタ領域を持ち、上記電極材料の中抜き領域に開けられたコンタクトホールを介して上記エミッタ領域と接触しているエミッタ電極が、上記電極材料の表面および側面を覆っている絶縁膜により該電極材料と絶縁されるようにしたものである。

また、本発明の半導体集積回路装置の製造方法は、少なくともバイポーラトランジスタ領域及びこの領域に形成されるバイポーラトランジスタと同一導電形のMOSトランジスタ領域を有する半導体基板を準備し、上記バイポーラトランジスタ領域にコレクタ領域及びコレクタ領域内にベース領域を形成し、このように形成した半導体基板表面に絶縁膜を形成した後、上記MOSトランジスタ領域にゲート電極を形成すると同時に、上記ゲート電極を形成する電極材料で上記ベース領域上のエミッタ形成予定領域に開いた枠形状のマスク体を形成する。

対応するから、これが大きくなって τ_e が大きくなり、その結果 f_T が低下するという欠点もあった。

本発明の目的は、MOS工程で使われるセルフアライン技術をそのまま利用し、マスクステップ数を増加させることなく、エミッタ面積を小さくすることによって、上記した従来技術の問題点を解決し、高速動作可能なバイポーラトランジスタをBiMOS上に形成できる半導体集積回路装置及びその製造方法を提供することにある。

[課題を解決するための手段]

本発明の半導体集積回路装置は、バイポーラトランジスタとMOSトランジスタとを同一基板上に形成してなるBiMOS構造において、MOSトランジスタのゲート電極を形成する電極材料がバイポーラトランジスタのベース領域上に絶縁膜を介して配置され、その電極材料を上方から見たとき、幾何学的に、閉じた枠形状をしており、且つその枠形状をした電極材料の少なくとも中抜き領域がベース領域内に収まっている。

しかる後、上記ゲート電極およびマスク体の表面および側面に絶縁膜を形成し、少なくとも該絶縁膜を持つ枠形状マスク体に囲まれた中抜き領域に該マスク体をマスクとしてイオン注入することによりエミッタ領域を形成すると同時に、MOSトランジスタのソース・ドレイン形成予定領域に選択的にイオン注入することによりMOSトランジスタのソース・ドレイン領域を形成し、その後上記マスク体をマスクとしてマスク体に囲まれた中抜き領域にエミッタコンタクトホールを形成するようにしたものである。

そして、上記集積回路装置及びその製造方法では、特に上記MOSトランジスタがLDD構造を持ち、上記ゲート電極および電極材料ないしマスク体の側面に形成される絶縁膜をLDD構造に必要なサイドウォールとすることもできる。

上述したバイポーラトランジスタと同一導電形のMOSトランジスタは、例えばバイポーラトランジスタがNPN型であれば、Nチャネル型のMOSトランジスタとなる。

また、少なくともバイポーラトランジスタ領域及びこの領域に形成されるバイポーラトランジスタと同一導電形のMOSトランジスタ領域を有する半導体基板とは、反対導電形のMOSトランジスタ領域を有する場合も適用できることを意味している。

これと同様に、少なくとも該絶縁膜を持つ枠形状マスク体に囲まれた中抜き領域に該マスク体をマスクとしてイオン注入することによりエミッタ領域を形成すると同時に、MOSトランジスタのソース・ドレイン形成予定領域に選択的にイオン注入することによりMOSトランジスタのソース・ドレイン領域を形成し、その後上記マスク体をマスクとしてマスク体に囲まれた中抜き領域にエミッタコンタクトホールを形成するとは、これら領域以外の領域を形成することも可能であることを意味している。

〔作用〕

エミッタコンタクトホールがエミッタ領域と等しいか、これよりも大きくてよければ、エミッタ

ングされないので、コンタクトホールがベース領域に開くということはない。

エミッタ及びエミッタコンタクトホールを形成するとき、枠形状マスク体の側面に絶縁膜を形成しておけば、その絶縁膜の幅方向の厚さ分だけ中抜き領域が狭まるため、絶縁膜を形成しないときに比して、一層小さなエミッタ面積を持つバイポーラトランジスタが形成できる。

さらに、予めゲート電極およびマスク体の表面および側面に絶縁膜を形成しておくと、バイポーラトランジスタのエミッタ電極と位置決めに用いた導電性のマスク体との短絡が防止される。従って、エミッタ・ベース間の酸化膜容量が低減する。

〔実施例〕

以下第1図(a)~(h)、第8図ないし第12図を用いて本発明の実施例を説明する。

第1図は本発明を用いてバイポーラNPNトランジスタとLDD構造を持つCMOSトランジスタとを同一基板上に形成する製造工程を示す。

領域を最小寸法で形成することが可能になる。

また、エミッタ領域に直接エミッタコンタクトホールを開けると、エミッタ領域の位置決めをしたマスク材が、エミッタコンタクトホールを開けるときのエッチング液でエッチングされなければ、コンタクトホールはエミッタ領域にのみ開き、ベース領域には開かない。

本発明は上述した知見に基づいてなされたものである。

MOSトランジスタのゲート電極に用いる電極材料をバイポーラトランジスタのエミッタの位置決めマスク体として用いる。従って、少なくともマスク数の増加はない。

そして、枠形状マスク体によって囲まれる中抜き領域をエミッタ領域とすることにより、バイポーラトランジスタのエミッタ及びエミッタコンタクトホールをセルフアラインで形成する。エミッタコンタクトホールはエミッタ領域と同じか、これよりも大きく形成する。このような大きさのコンタクトホールを形成しても、電極材料はエッチ

まず第1図(a)に示すように、P型シリコン基板((100)面、比抵抗 $10\Omega\cdot\text{cm}$)1にN⁺埋込み層(Sb拡散でシート抵抗 $20\Omega/\square$ 、拡散の深さ $5\mu\text{m}$)2を形成し、比抵抗 $1.0\Omega\cdot\text{cm}$ 、 $0.5\mu\text{m}$ の厚さのP型ポリドーブのエピタキシャル層3を形成する。次いで、バイポーラトランジスタを形成するN領域4とPMOSトランジスタを形成するN領域5を表面濃度 $2\times 10^{17}\text{ions}/\text{cm}^3$ 、拡散の深さ $2\mu\text{m}$ で同時に形成し、予め埋め込まれたN⁺埋込み層2と連続させる。更にLOCOS法でLOCOS酸化膜6を 7000\AA の厚さで形成する。

なお、LOCOS酸化膜6のない素子形成領域7、8、9はそれぞれバイポーラトランジスタ、NMOSトランジスタ、PMOSトランジスタの形成領域である。

次いで第1図(b)に示すように、上記基板全面にバイポーラトランジスタのベースを形成するためのP型拡散層10を、表面濃度 $5\times 10^{17}\text{ions}/\text{cm}^3$ 、拡散の深さ $0.5\mu\text{m}$ で形成したのち、M

OSトランジスタのゲート絶縁膜となるゲート酸化膜11を200Åの厚さで形成する。このときバイポーラトランジスタの素子形成領域7にも同時に、酸化膜12が同じ厚さ200Åで形成される。

次に第1図(c)に示すように、減圧CVD法で不純物をドーブしたポリシリコン膜を4000Åの厚さで成長させ、引き続きSi₃N₄膜を2000Åの厚さで成長させたのちに、周知のフォトリソグラフ・エッチング技術により、表面部分がそれぞれSi₃N₄膜13, 14で覆われたNMOSトランジスタのポリシリコンゲート電極15, PMOSトランジスタのポリシリコンゲート電極16を形成する。このときバイポーラトランジスタ領域にも表面がSi₃N₄膜18で覆われたポリシリコン電極19を残す。

なお、上記Si₃N₄膜の成長は、LDD構造のMOSプロセスには無い工程であり、この点で工程数が増加することになるが、半導体集積回路装置の製造で問題とされるマスク数の増加を伴うも

ットとなる領域20の寸法について第9図を用いて更に説明する。

第9図はポリシリコン電極19(そしてそれは表面にSi₃N₄18を持つ)を真上から見た図である。従来例で説明したように集積回路の製造工程では、一般にそのラインの持つ最小解像能力をデザインルールと呼ぶが、例えば1.2μmルールを適用したラインでは第9図に示す穴の幅W₁も、残したSi₃N₄膜付きポリシリコン幅W₂も1.2μmとなる。つまり、この工程で1.2μm×1.2μmの最小エミッタ用のポリシリコン窓70を形成することが可能となる。

ここで、第1図(c)に戻って、PMOSトランジスタ素子形成領域8以外をレジストで覆い、セルフアライン技術を用いて、LOCOS構造とすべく、PMOSトランジスタの低濃度N⁺ドレイン領域17を表面濃度 4×10^{18} ions/cm²、拡散の深さ0.2μmで形成する。

次いで第1図(d)に示すように、上記基板にP、O、重量濃度15wt%のPSG膜34を4000

のではない。

上述したバイポーラトランジスタ領域に残すポリシリコン電極19の形状について第8図を用いて説明する。

第8図はバイポーラNPNトランジスタのベース部分を拡大し立体的に示したものである。エミッタの位置決めに用いる、Si₃N₄膜18を表面に持つポリシリコン電極19はベース領域10上で、且つ上方から見たとき、幾何学的に、将来エミッタとなる領域20上を取り囲むように閉じた枠形に配置する。また、枠形状をしたポリシリコン電極19の少なくとも中抜き領域がベース領域10内に収まっているようにする。

このように中抜き領域をベース領域10内に収めるのは、ベースとエミッタとのショートを回避するためである。

また、ポリシリコン電極19は図示例では中抜きの四角形状をしているが、この形状はエミッタ形状と等しくなるので、エミッタが円であれば円となり、従って、形状は限定されない。将来エミ

タの厚さにCVD法で成長させる。

また第1図(e)に示すように、RIE技術によりPSG膜34を等方エッチングし、ポリシリコンゲート電極15, 16, ポリシリコン電極19の側壁酸化膜、即ちサイドウォール21を形成する。

そして第1図(f)に示すように、上記基板に厚さ1μmのネガタイプのフォトレジスト22をコーティングし、周知のフォトリソグラフ技術によりバイポーラトランジスタのコレクタとなる領域23, NMOSトランジスタのソース・ドレインとなる領域24, エミッタとなる領域よりやや広い領域25に窓開けを行い、イオン注入法を用いて加速電圧40KeV, Dose量 1.2×10^{18} ions/cm²のAsを注入する。このことによりバイポーラトランジスタのエミッタ26, コレクタ27, NMOSトランジスタのソース・ドレイン領域28, 29が各々同時に形成される。

このとき、NMOSトランジスタにおいては、LOCOS酸化膜のうちフォトレジスト22で覆

われていない領域30, 31とサイドウォール21を側壁に持つポリシリコン電極15によりセルフアラインで自動的に位置決めがされて、ソース・ドレイン28, 29が形成される。また、バイポーラNPNトランジスタのエミッタ26もサイドウォール21を側壁に持つポリシリコン電極19により自動的に位置決めされた領域にのみ形成される。

ここで上述したエミッタ26における自動位置決めについてもう少し詳しく第10図を用いて説明する。

第10図はバイポーラトランジスタ素子形成領域上のポリシリコン電極19の廻りを拡大し、断面図で示したものである。図中、1, 2, 4, 10, 12, 18, 19, 22, 26の各数字については第1図と同じであるので、ここでは詳しい説明は省略する。この部分に40 KeVの加速電圧でAsを矢印で示すようにイオン注入する。このときAsはポリシリコン電極51で囲まれた窓開け領域20の矢印32で示す部分では、200 Å

例えば0.2 μmを得ることができる。ところで、この幅W₀はPSG膜の膜厚、RIEのエッチング条件、時間を設定することで任意に選べることができるのである。

このようにして、W₀=0.2 μmが得られたとすると、エミッタ開孔寸法は、

$$W_1 = 2 \times W_0 = 1.2 - 2 \times 0.2 \\ = 0.8 \mu m$$

つまり、1.2 μmデザインルールより小なる0.8 μmの開孔寸法を持つエミッタを形成することができる。

次に第1図(g)に戻って、上述した基板に厚さ1 μmのネガタイプのフォトリソグراف技術によりバイポーラトランジスタのベースコンタクト領域35と、PMOSのソース・ドレイン領域36に窓開けを行い、イオン注入法によりBF₃⁺を加速電圧50 KeV、Dose量3 × 10¹³ ions/cm²注入する。このレジストマスクによるイオン注入でバイポーラトランジスタのベースコンタクト取出し領

の酸化膜12を通してAsがベース領域10に打ち込まれ、エミッタ層26を形成する。しかし、矢印33で示す窓開け領域20以外の外側部分では、サイドウォール21あるいはSi₃N₄膜18で覆われたポリシリコン電極19、そしてレジスト22にマスクされて、Asはベース層10へ到達することができない。

このようにして最小寸法、例えば1.2 μmデザインルールときは、一辺が1.2 μm以下のエミッタ層26を形成することができる。

この1.2 μm以下のエミッタが形成できる理由を第11図を用いて説明する。

第11図は第10図におけるエミッタ部をさらに拡大して示したものである。このエミッタの位置決めをするポリシリコンの抜き幅W₁、残し幅W₂は先に第9図を用いて説明したように、全て1.2 μmで形成することができる。これに第1図(d)~(e)で説明したようにPSG膜34を成長し、そのPSG膜34をRIEで等方エッチングすることにより、サイドウォール21の幅W₀、

領域37と、PMOSのソース・ドレイン38, 39を形成する。

そして最後に第1図(h)に示すように、層間絶縁膜としてのPSG膜54をCVD法でP₂O₅濃度20 wt%, 厚さ6000 Åで成長させ、ガラスフローを行ったのち、バイポーラトランジスタのベースコンタクトホール40, エミッタコンタクトホール41, コレクタコンタクトホール42, NMOSTランジスタのソースコンタクトホール43, ドレインコンタクトホール44, PMOSTランジスタのソースコンタクトホール45, ドレインコンタクトホール46を同時に開孔し、バイポーラトランジスタのベース電極47, エミッタ電極48, コレクタ電極49およびNMOSTランジスタのソース電極50, ドレイン電極51, PMOSTランジスタのソース電極52, ドレイン電極53をA₁で各々形成してBICMOS構造が完成する。

ここで、バイポーラトランジスタのエミッタコンタクトホール40の取り方について第12図を

用いて説明する。図中符号のうち第1図、第8図～第11図で使用了のと同じ符号を用いているものについては、ここでは個々の説明は省略する。

コンタクトフォトリソグラフ及びエッチングによりコンタクト領域55に窓開けを行うとき、基板表面へレジスト56をコーティングし、周知のフォトリソグラフ技術によりコンタクト領域55へ窓開けを行う。このときコンタクト領域55の幅は予めポリシリコン電極19に窓開けされたエミッタと同じ最小寸法で、本実施例では $1.2\mu\text{m}$ で窓開けすることも可能であるが、この寸法よりも一廻り大なる寸法、例えば $2.0\mu\text{m}$ で図のようにエミッタ開孔領域57を大きく取り囲むように窓開けすることが望ましい。

なぜならば、最小寸法 $1.2\mu\text{m}$ で形成した場合、マスク合わせ工程で位置合わせずれが、例えば $0.8\mu\text{m}$ あったとした場合、この合わせずれが矢印方向59にあったときのレジストの位置60、および開孔寸法58が $1.2\mu\text{m}$ であること

によりバイポーラNPNトランジスタのエミッタとコンタクトホールがほぼ同一寸法、同一形状で自動的に位置決めされるばかりか、フォトリソグラフ解像最小寸法以下の寸法で形成できる。

またこの構造は予めポリシリコン電極19の上部に絶縁膜としてのSi₃N₄膜18を形成しているので、その後このコンタクトホール41に形成されるエミッタ電極48と導電膜であるポリシリコン電極19は絶縁され、このSi₃N₄膜18があることにより、この膜18がない時に生じるエミッタ電極48とポリシリコン電極19との短絡を防止する。従って、ポリシリコン電極19がエミッタ26の電位と同電位となることに起因する、エミッタ26とベース10との接合で形成される接合容量と、これにポリシリコン電極19とベース10とのMOS容量とが加わるのが有効に防止される。その結果、ポリシリコン電極が原因して f_T が低下するという問題も生じない。

なお、上記実施例では、バイポーラトランジスタをCMOSと同一基板上に形成する場合につい

から明らかなように、幅の狭いコンタクトホールしか開孔されず、コンタクト抵抗が大きくなるなどの問題が生ずるからである。

そして図中斜線で示す部分61のPSG膜54、酸化膜12を等方エッチングを用いてエッチング除去することにより、エミッタ開孔幅57とはほぼ等しいエミッタコンタクト開孔幅62を得ることができる。このエッチングは等方エッチングを用いているので、サイドウォール21の側面は図中破線63で示すように僅かにエッチングされるのみであり、開孔幅62が拡散領域26を越えることはない。例えばガラスフローの熱処理時に拡散されたエミッタ26の深さ(図中矢印で示す)64が $0.15\mu\text{m}$ だとすると、横方向への拡散の広がり(図中矢印65で示す)も $0.15\mu\text{m} \times (60 \sim 70\%)$ は一般にあるとされているので、 $0.095 \sim 0.105\mu\text{m}$ 拡散されており、開孔幅62がエミッタ拡散領域26を越えて広がることは考えられない。

このようにして、本装置及び本方法を用いるこ

と述べたが、これはCMOSとの組み合わせのときに、特に消費電力が小さく、従ってバイポーラトランジスタに要求される電流が小さいため、高速動作を最も効果的に発揮できるからに外ならない。

もっとも、バイポーラトランジスタとの組合せ対象はシリコンゲートプロセスを用いるMOSトランジスタであればよいのである。従って、バイポーラトランジスタとの組合せは、CMOSに限定されるものではなく、シリコンゲートプロセスを採用するものであれば、NMOS、PMOS、DMOSというように種々の組合せが可能である。

また、上記実施例では、バイポーラトランジスタをNPNトランジスタとして説明したが、エミッタ面積を小さくするという意味において、PNPトランジスタにも適用できる。

なお、本発明はゲート材料としてポリシリコンを用いたが、これと等価なもの、例えばシリサイドないしポリサイド等であってもよい。

〔発明の効果〕

本発明は、上述のとおり構成されているので、次に記載する効果を奏する。

請求項1の装置においては、表面および側面が絶縁膜で覆われた電極材料を用いて、バイポーラトランジスタのエミッタ及びそのコンタクトホールをセルフアラインで位置決めするので、最小エミッタを形成することができる。また、電極材料の表面および側面を覆った絶縁膜によって、エミッタ電極と導電性の電極材料との短絡を防止しているため、エミッタ・ベース間のMOS容量の低減が図れ、上記最小エミッタによるベース・エミッタ間容量の低減化と相俟って、高速動作が可能なバイポーラトランジスタをMOSトランジスタと同じ基板上に形成することができる。

請求項2の製造法においては、ゲート電極と同じ電極材料でエミッタ位置決め用のマスク体を形成するので、マスク数の増加を伴わず、しかも特に、側面が絶縁膜で覆われた棒形状のマスク体を用いて、バイポーラトランジスタのエミッタ及びそのコンタクトホールをセルフアラインで位置決

めするので、最小デザインルール以下でエミッタおよびコンタクトホールを形成することができる。

請求項3の装置においては、ゲート電極およびマスク体の側面に形成される絶縁膜をLDD構造に必要なサイドウォールとして、MOSトランジスタをLDD構造としたので、バイポーラトランジスタ及びMOSトランジスタの最小化を図ることができ、BiMOS半導体集積回路の高速動作を更に高めることができる。

請求項4の製造方法においては、LDD構造を持つMOSトランジスタを採用して、ゲート電極およびマスク体の側面に形成する絶縁膜を、LDD構造に必要なサイドウォールで形成したので、LDD構造を有するBiMOSプロセスのマスクステップ数の増加を伴うことなく、最小のエミッタ寸法を実現できる。

4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の製造方法例を説明する製造工程図、第2図は従来の製造工程図、第3図はBiCMOS構造で採用される

2入力ANDゲートの回路図、第4図は遮断周波数とコレクタ電流特性図、第5図はエミッタ領域廻りの一部拡大図、第6図はエミッタコンタクトの説明図、第7図は他の従来例の製造工程図、第8図は本実施例によるエミッタ部分拡大図、第9図は本実施例のエミッタ説明図、第10図は本実施例の自動位置決め説明図、第11図は本実施例のエミッタ寸法説明図、第12図は本実施例のエミッタコンタクト及びその位置ずれの説明図である。

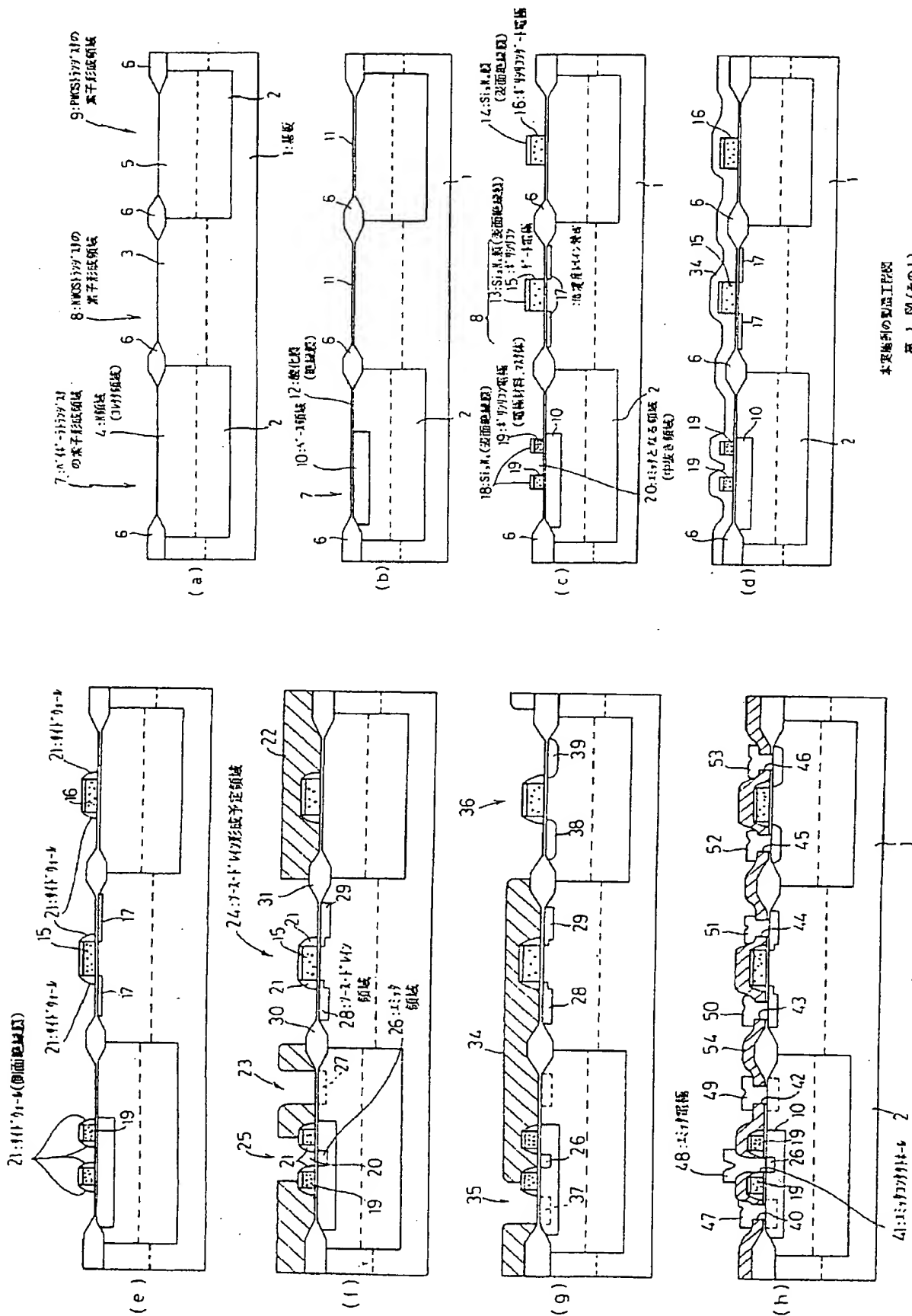
1は基板、4はコレクタ領域となるN領域、7はバイポーラトランジスタの素子形成領域、8はNMOSトランジスタの素子形成領域(同一導電形のMOSトランジスタ領域)、9はPMOSトランジスタの素子形成領域、10はベース領域、12は絶縁膜としての酸化膜、13、14は表面絶縁膜としてのSi₃N₄膜、15、16はポリシリコンゲート電極、17は低濃度ドレイン領域、18は表面絶縁膜としてのSi₃N₄膜、19は電極材料(マスク体)としてのポリシリコン電極、2

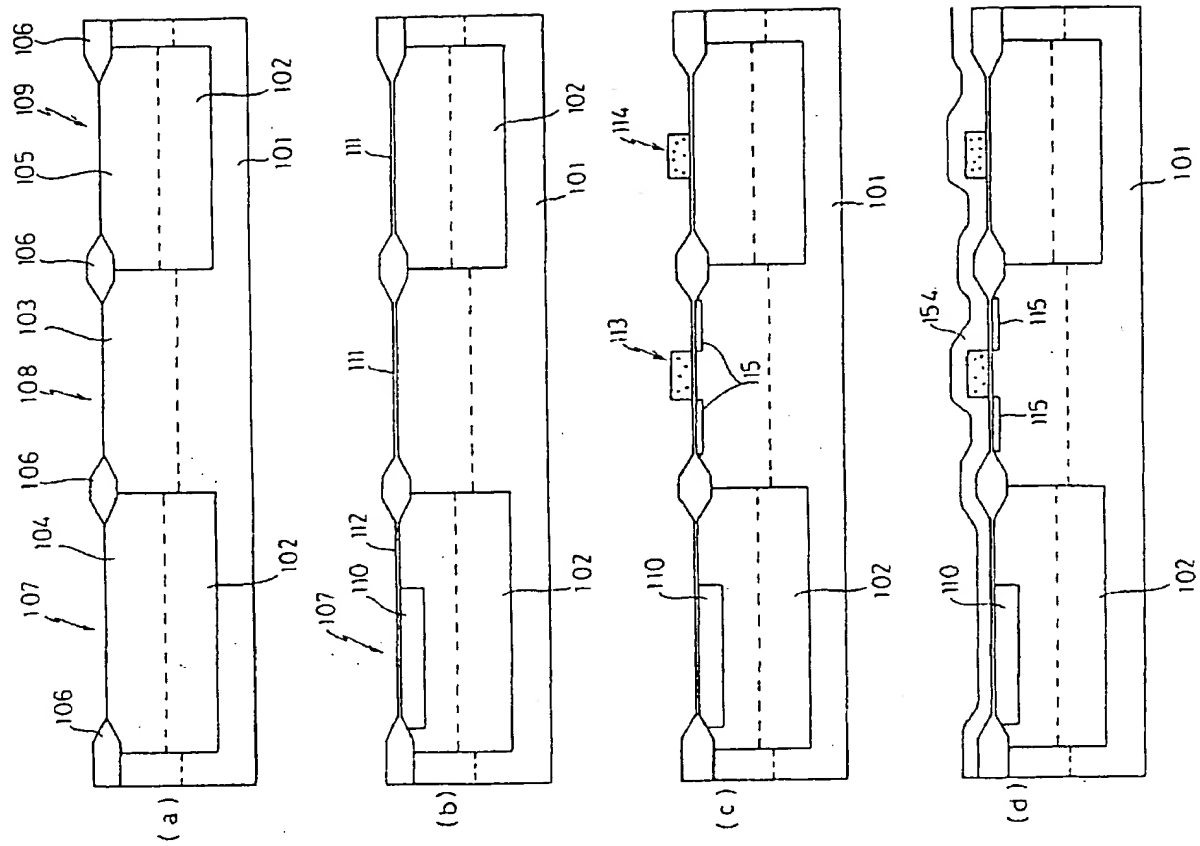
0は中抜き領域としてのエミッタとなる領域、21は側面絶縁膜としてのサイドウォール、24はソース・ドレイン形成予定領域、26はエミッタ領域、28、29はソース・ドレイン領域、41はエミッタコンタクトホール、48はエミッタ電極である。

出願人 沖電気工業株式会社

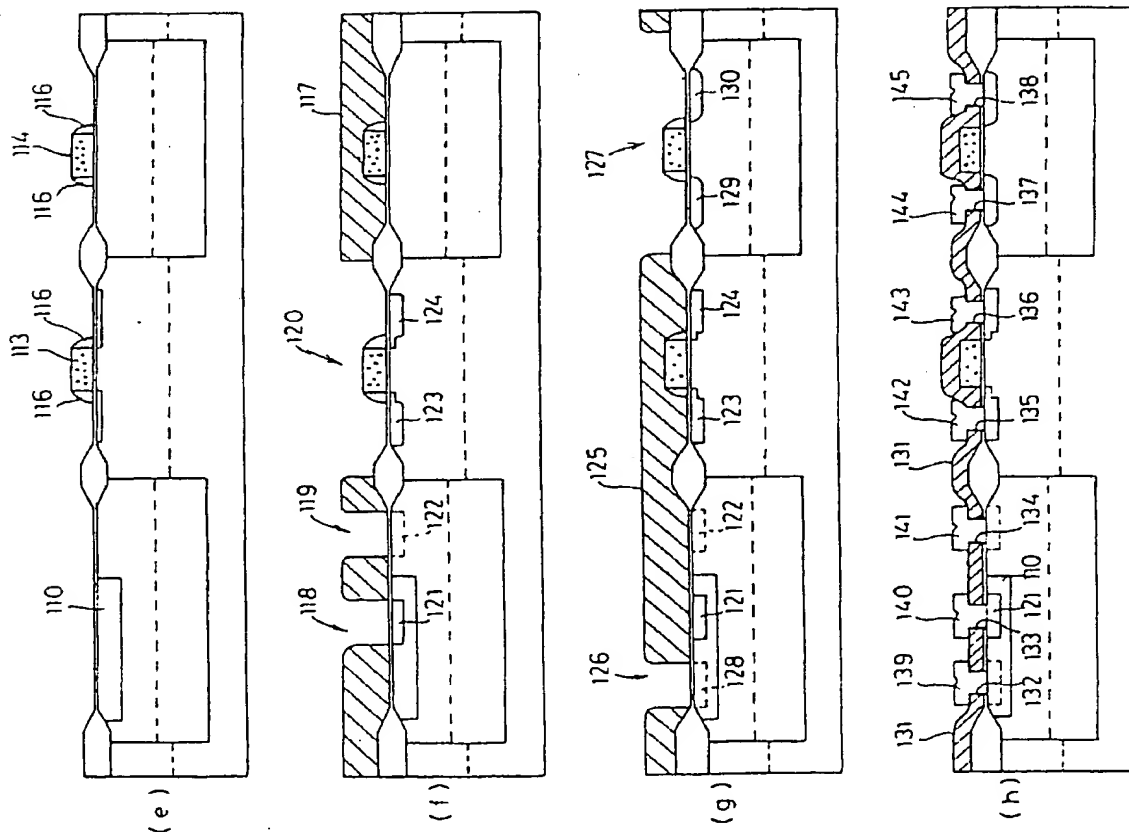
代理人 弁理士 鈴木 敏明



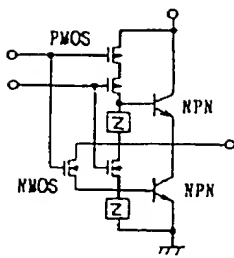




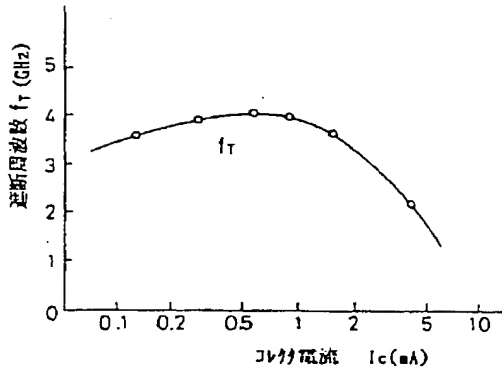
従来例の製造工程図
第2図(その1)



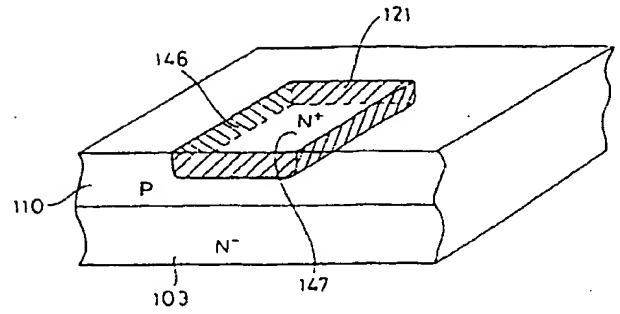
従来例の製造工程図
第2図(その2)



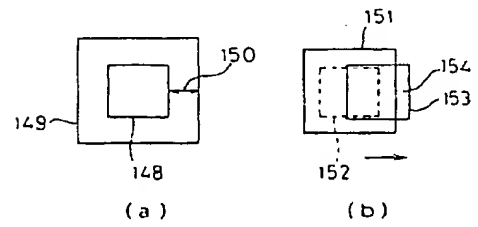
ゲートの回路構成図
第3図



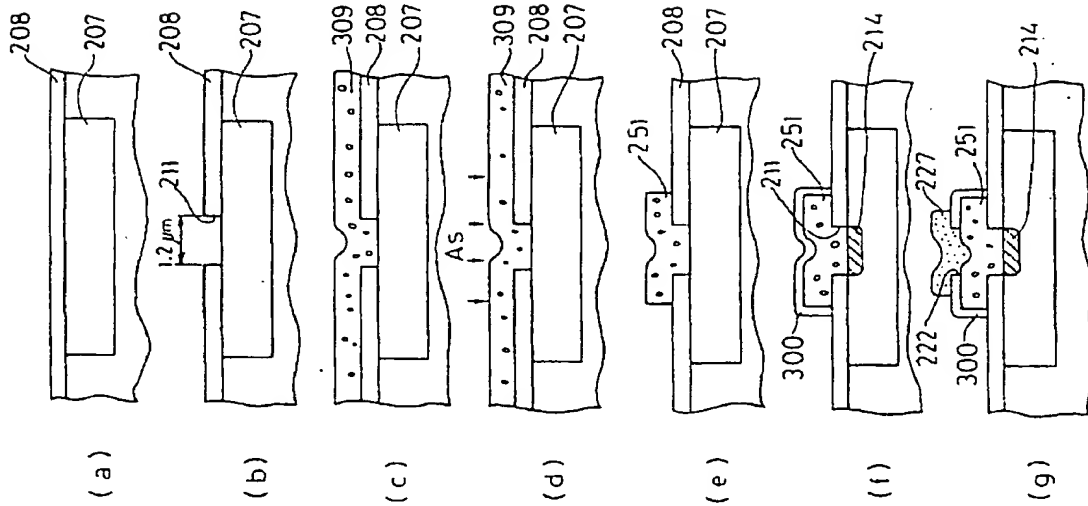
遮断周波数とコレクタ電流特性図
第4図



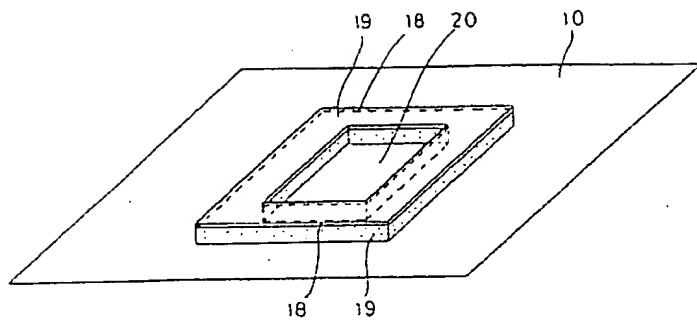
ミキサ回路部の一断面大略
第5図



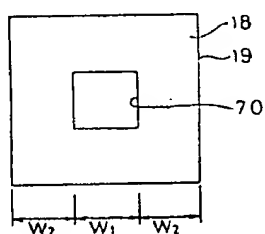
ミキサコアの説明図
第6図



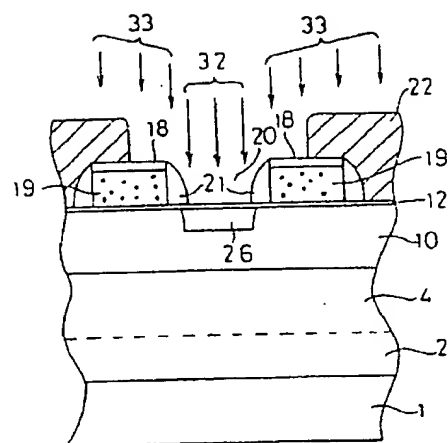
他の従来例の製造工程図
第7図



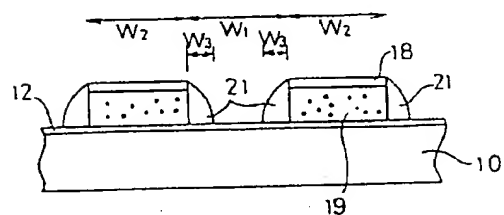
本実施例による ψ - z 部分拡大図
図 8 図



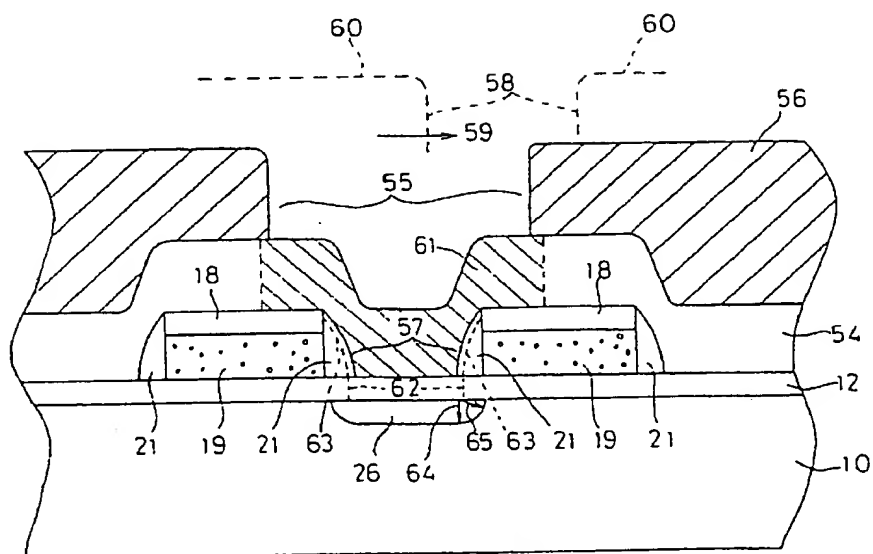
本実施例のミキサ説明図
第 9 図



本実施例の自動位置決め説明図
第 10 図



本実施例のミナ寸法説明図
第 11 図



本実施例のミタリツタリの説明図
第 12 図